

B6

RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(A n'utiliser que pour les
commandes de reproduction).

2 508 200

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 10677

(54) Circuit d'interface de canal.

(51) Classification internationale (Int. Cl³). G 08 F 13/00.

(22) Date de dépôt..... 18 juin 1982.

(33) (32) (31) Priorité revendiquée : EUA, 22 juin 1981, n° 276,060.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listas » n° 51 du 24-12-1982.

(71) Déposant : Société dite : WESTERN ELECTRIC COMPANY, INC., résidant aux EUA.

(72) Invention de : Allen Leonard Larson.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Flechner,
22, av. de Friedland, 75008 Paris.

1

La présente invention concerne un circuit d'interface destiné à constituer l'interface entre d'une part un processeur et sa mémoire associée et, d'autre part, un canal de transmission qui achemine des messages de données, contenant chacun une zone d'en-tête ayant une adresse de destination et un numéro de canal virtuel, tandis que le processeur comporte des bus de données, d'adresse et de commande.

Les circuits d'interface de l'art antérieur qui interconnectent un processeur et un canal de transmission sont utilisés simplement en tampon. Ils ont pour fonction d'enregistrer les messages de données qui apparaissent sur le canal de transmission et de générer une interruption chaque fois qu'un message de données est reçu. Le problème qui se pose avec cette configuration consiste en ce que le processeur consomme une quantité excessive de temps réel pour prendre en charge les interruptions provenant du circuit d'interface, afin d'enregistrer simplement les données dans sa mémoire associée. Une partie importante de ce temps réel est consommée pour décoder l'en-tête du message de données, afin de déterminer si le message de données est destiné au processeur associé et, dans l'affirmative, l'emplacement dans la mémoire du processeur auquel le message doit être enregistré. Les circuits d'interface de l'art antérieur ne font rien pour accélérer ce processus de décodage et, en fait, ils ont peu d'intelligence incorporée et remplissent uniquement la fonction d'une simple mémoire tampon, ce qui exige que le processeur associé accomplisse les tâches de décodage et d'enregistrement des messages.

Ceci n'a pas constitué un problème important jusqu'à présent, du fait que les processeurs ne sont pas limités en ce qui concerne le temps réel ou bien travaillent en un mode de traitement par lots. Cependant, dans les systèmes de transmission pour les applications de gestion, ce gaspillage de temps réel constitue un obstacle important à l'obtention de bonne performances du système.

Le problème est résolu conformément à l'invention, dans laquelle le circuit d'interface comprend un élément de circuit d'interface qui est connecté au canal de transmission

et qui réagit à l'apparition d'un message de données dans ce canal en décodant l'adresse de destination et en émettant le numéro de canal virtuel si le processeur est la destination désignée du message de données ; un multiplexeur et une mémoire de commande de canal connectés à l'élément de circuit d'interface et réagissant à l'émission par ce dernier du numéro de canal virtuel en traduisant le numéro de canal virtuel en une adresse de matériel qui identifie une position de mémoire dans la mémoire du processeur ; un circuit tampon connecté à 5 le multiplexeur et à la mémoire de commande de canal, et réagissant à l'émission par ce dernier du numéro de canal virtuel en traduisant le numéro de canal virtuel en une adresse de matériel qui identifie une position de mémoire dans la mémoire du processeur ; un circuit tampon connecté à 10 la fois au multiplexeur et à la mémoire de commande de canal, et au bus d'adresse de processeur, et réagissant à l'adresse de matériel en plaçant cette dernière sur le bus d'adresse du processeur, pour activer la position de mémoire identifiée 15 dans la mémoire du processeur ; et dans laquelle l'élément de circuit d'interface est également connecté au bus de données du processeur et réagit à la réception du message de données en enregistrant directement la partie de données du message de données, telle qu'elle est reçue, dans la position de mémoire activée, par l'intermédiaire du bus de données du processeur.

Le circuit d'interface de canal de l'invention fait fonction de dispositif de gestion de messages établissant une interface rapide entre une mémoire de processeur et un canal de transmission de données. Le canal de transmission achemine 25 des messages de données ayant une zone d'en-tête qui spécifie une adresse virtuelle. Le circuit d'interface de canal de l'invention est programmable et il traduit dynamiquement la partie d'en-tête du message de données, telle qu'elle est reçue, pour convertir une adresse virtuelle en une adresse de mémoire de matériel qui est utilisée pour activer une position particulière dans la mémoire du processeur. La partie de données du message de données est ensuite introduite directement 30 dans cette position de mémoire (accès direct en mémoire), et les pointeurs de mémoire tampon appropriés sont restaurés. Ce 35 n'est que lorsqu'un message de données complet a été reçu et enregistré dans la mémoire du processeur que le circuit d'interface de canal génère une interruption pour le processeur, afin d'informer ce dernier qu'un message de données complet

3

est maintenant enregistré dans sa mémoire. Ainsi, le circuit d'interface de canal de l'invention accomplit toutes les tâches de réception de données, y compris l'enregistrement et l'enchaînement des messages, sans nécessiter l'intervention du processeur associé. Ceci économise le temps réel du processeur et augmente la vitesse du transfert effectif des données entre le canal de transmission et le processeur, du fait qu'il n'y a aucun retard lorsque le processeur doit accéder à chaque message de données et enregistrer ce dernier dans sa mémoire, ou fournir une information d'adresse concernant l'emplacement auquel le message doit être enregistré.

L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation et en se référant aux dessins annexés sur lesquels :

15 Les figures 1 et 2 représentent le circuit d'interface de liaison de l'invention ;

La figure 3 montre la structure d'une file d'attente de lecture/écriture qui est utilisée dans l'invention ;

20 La figure 4 montre la manière selon laquelle les figures 1 et 2 doivent être associées ; et

La figure 5 montre l'interconnexion du circuit d'interface de canal avec le processeur et la mémoire de processeur.

Figures 1 et 2

25 Le circuit d'interface de canal 100 de l'invention a pour fonction d'interconnecter un canal de transmission 120 avec un processeur 101 et une mémoire de processeur 102, par l'intermédiaire des bus d'adresse de données et de commande du processeur 101, comme le montre la figure 5. On suppose que le canal de transmission 120 achemine des messages de données ayant une zone d'en-tête qui spécifie l'adresse du processeur destinataire et un numéro de canal virtuel. Le circuit d'interface de canal 100 contrôle le canal de transmission 120 pour déterminer si l'un de ces messages de données 30 est destiné à la mémoire de processeur 102. Si c'est le cas, le circuit d'interface 100 enregistre directement dans la mémoire de processeur 102 les messages de données qui sont reçus à partir du canal de transmission 120, sans nécessiter l'inter-

vention du processeur 101. De façon similaire, les messages qui proviennent du processeur 101 et qui doivent être émis sur le canal de transmission 120 sont enregistrés dans la mémoire de processeur 102 et le circuit d'interface de canal 5 100 accède directement à ces messages de données dans la mémoire de processeur 102 et il les émet sur le canal de transmission 120, sans nécessiter l'intervention du processeur 101.

Files d'attente de lecture/écriture

La file d'attente de lecture/écriture dont un échan-
10 tillon est représenté sur la figure 3, constitue une structure de transmission de données importante utilisée dans cette configuation. Cette file d'attente consiste simplement en un segment de la mémoire de processeur 102 qui a été désigné par le processeur 101 comme étant un emplacement d'enregistrement
15 pour les messages de données qui doivent être reçus ou émis.

Dans le mode de réalisation considéré, il y aura des files d'attente de lecture/écriture établies pour les messages de données reçus à partir du canal de transmission 120, ainsi que des files d'attente de lecture/écriture pour les messages 20 de données à émettre sur le canal de transmission 120. La structure fondamentale de ces files d'attente, représentée sur la figure 3, sera uniforme pour ces applications, et il est avantageux de décrire maintenant la structure des files d'attente de lecture/écriture. La file d'attente de lecture/
25 écriture de base est décrite par un ensemble de données de file d'attente en mémoire qui comprend quatre pointeurs et un sémaphore. Deux de ces pointeurs définissent les limites de la file et ce sont le pointeur de base qui indique la position d'adresse de mémoire à laquelle la file commence, et
30 le pointeur de limite qui indique la position d'adresse de mémoire à laquelle la file se termine. Les deux pointeurs restants sont les pointeurs d'écriture et de lecture, et ceux-ci indiquent respectivement les endroits auxquels des messages doivent être écrits dans cette file ou lus dans la file. Pour
35 les besoins de la description, le pointeur de lecture désigne la position d'adresse de mémoire à laquelle est enregistré le premier multiplét du message suivant à émettre, soit vers le processeur 101, soit vers le canal de transmission 120. Le

pointeur d'écriture indique la position d'adresse de mémoire à laquelle le premier multiplet du message de données reçu suivant doit être écrit, par le processeur 101 ou par le circuit d'interface de canal 100.

5 En considérant la figure 3, il apparaît de façon évidente que ces pointeurs sont changés chaque fois qu'un circuit accède à la file d'attente particulière. Par conséquent, avant l'accès à une file d'attente par le processeur 101 ou par le circuit d'interface de canal 100, le circuit demandeur lit tous les pointeurs appropriés, de façon à disposer de l'information de pointeur mise à jour. Pour éviter tout problème de conflit concernant les files d'attente, on utilise le sémaphore qui consiste de façon générale en une configuration de bits particulière qui est enregistrée à la 15 position d'adresse de mémoire qui suit immédiatement la position de mémoire identifiée par le pointeur de limite. Le sémaphore est essentiellement un indicateur qui indique à un circuit cherchant à accéder à la file d'attente si la file est au repos ou est en cours d'accès par un autre circuit. 20 De cette manière, le sémaphore empêche un accès simultané à une file d'attente et la confusion associée, due à la nature transitoire des pointeurs de lecture et d'écriture pendant les opérations de lecture et d'écriture simultanées.

Un autre problème qui se pose dans l'utilisation de 25 files d'attente de lecture/écriture consiste dans l'écriture dans une file d'attente en état de dépassement de capacité, ce qui fait que de nouvelles données sont écrites dans une file d'attente entièrement pleine, avant que des messages de données enregistrés précédemment aient été lus. Pour éviter 30 de telles situations, on peut utiliser le sémaphore de façon à positionner un indicateur qui indique le moment auquel la file d'attente est pleine, afin que des messages de données nouvellement arrivés ne soient pas écrits dans cette file. Un autre mécanisme de protection consiste à laisser une position de mémoire ou une cellule de données inoccupée entre 35 les pointeurs de lecture et d'écriture si la file d'attente est pleine, et à donner la même valeur aux pointeurs de lecture et d'écriture si la file d'attente est vide. Cette tech-

nique permet à un circuit demandeur de déterminer si la file d'attente est pleine ou si elle est complètement vide. Une troisième technique couramment utilisée consiste à faire en sorte que le circuit qui effectue l'accès prenne la commande des bus du processeur lorsque la file d'attente devient pleine, afin qu'un autre circuit ne puisse pas accéder à la mémoire pour y écrire des messages de données supplémentaires.

Sélection d'un numéro de canal virtuel

Pour faciliter la compréhension de ce circuit, on 10 décrira l'émission d'un message de données caractéristique. Comme mentionné précédemment, les messages de données qui sont transmis sur le canal de transmission 120 ont une zone d'en-tête qui spécifie à la fois l'adresse du processeur et un numéro de canal virtuel. La question évidente qui se pose à ce 15 moment est : "Comment les numéros de canal virtuel sont-ils affectés aux messages de données transmis entre deux processeurs ?". La réponse à cette question est qu'il existe une configuration initiale de communication inter-processeur, de type classique, pour définir des numéros de canal virtuel. 20 Le processeur 101 communique avec un autre processeur (non représenté) connecté au canal de transmission 120, en accédant à cet autre processeur et en sélectionnant un numéro de canal virtuel qui sera utilisé pour cette intercommunication. Pour effectuer cet accès, le processeur 101 émet sur le canal 25 de transmission 120 un message de données qui contient l'adresse du processeur de destination et un numéro de canal virtuel égal à zéro, ce qui indique au processeur de destination qu'il s'agit d'un message initial d'établissement de communication destiné au processeur de destination. Le processeur de destination répond d'une manière similaire au message initial provenant du processeur 101, en émettant sur le canal de transmission 120 un message de données qui comporte une zone d'en-tête contenant l'adresse du processeur 101 et un numéro de canal virtuel égal à zéro. En échangeant de tels messages, le 30 processeur 101 et le processeur de destination accomplissent la procédure d'établissement de liaison nécessaire pour identifier un numéro de canal virtuel acceptable pour tous les deux, et pour identifier, dans leurs systèmes respectifs, les 35

programmes réels qui demandent cette interconnexion.

Ainsi, une fois qu'un numéro de canal virtuel a été sélectionné pour une intercommunication processeur-processeur particulière, cette information est incluse dans l'en-tête du message de données, et le message de données complet est enregistré dans la mémoire de processeur 102, dans la file d'attente de lecture/écriture qui est utilisée pour les messages de données sortants. Du fait que tous les messages de données sortants ont une destination commune, c'est-à-dire le canal de transmission 120, il existe une seule file d'attente de lecture/écriture pour les messages de données sortants, et tous les messages de données sortants sont enregistrés dans cette file d'attente.

Emetteur : figure 1.

La figure 1 représente la partie d'émetteur ou de sortie du circuit d'interface de canal 100, et cette partie est commandée par le contrôleur d'état de sortie 103. Le contrôleur d'état de sortie 103 peut être réalisé de diverses manières et le circuit de l'invention utilise un microprocesseur pour cette fonction. Ce microprocesseur serait programmé de façon appropriée, d'une manière bien connue, pour fournir les signaux de commande et d'horloge nécessaires au fonctionnement cohérent du circuit d'interface de canal 100.

La partie d'émetteur du circuit d'interface de canal 100 contient un certain nombre de registres qui sont chargés avec les divers pointeurs associés à la file d'attente de lecture/écriture de sortie. Ce chargement des registres est accompli par le contrôleur d'état de sortie 103, qui demande l'accès à la file d'attente de lecture/écriture de sortie, dans la mémoire de processeur 102, par l'intermédiaire des bus de commande, d'adresse et de données du processeur. Lorsque le processeur 101 accorde l'accès, le contrôleur d'état de sortie 103 effectue séquentiellement les actions suivantes, par l'intermédiaire du conducteur VALIDATION (non représenté) : 1) il charge le pointeur de base dans le registre de pointeur de base 111; 2) il charge le pointeur de lecture dans le registre de pointeur de lecture 110, par l'intermédiaire du sélecteur 112, 3) il charge le pointeur de

limite dans le registre de pointeur de limite 108 et 4) il charge le pointeur d'écriture dans le registre de pointeur d'écriture 106.

Le contrôleur d'état de sortie 103 réagit à une 5 opération de comparaison accomplie par le circuit de comparaison 107 en émettant un message de donnée sur le canal de transmission 120 si un tel message de données est enregistré dans la file d'attente de lecture/écriture de sortie. Cette détermination est accomplie par le circuit de comparaison 10 107 qui effectue l'opération consistant à comparer le contenu du registre de pointeur de lecture 110 et le contenu du registre de pointeur d'écriture 106. Si ces deux contenus diffèrent, le circuit de comparaison 107 émet sur le conducteur RWC un signal logique qui est dirigé vers le contrôleur 15 d'état de sortie 103, pour indiquer que les deux pointeurs ne sont pas les mêmes, et que, par conséquent, la file d'attente de lecture/écriture de sortie contient un message à émettre. Le contrôleur d'état de sortie 103 réagit à ce signal logique présent sur le conducteur RWC en activant le 20 conducteur DEMANDE ADM (ADM = Accès Direct en Mémoire), et ce signal est appliqué au bus de commande du processeur pour demander l'accès aux bus du processeur, afin que le circuit d'interface de canal 100 puisse accéder à la mémoire de processeur 102.

25 Accès en mémoire

Le processeur 101 a indiqué au circuit d'interface de canal 100 que les bus du processeurs sont disponibles, en placant le signal logique approprié sur le conducteur AUTORISATION ADM. Sous l'effet de ce signal, le contrôleur d'état 30 de sortie 103 valide, par l'intermédiaire des conducteurs VALIDATION et LECTURE, le registre de pointeur de lecture 110, de façon qu'il émette son contenu vers la mémoire tampon d'adresse d'ADM 104, qui applique à son tour cette adresse au bus d'adresse du processeur. Cette opération accède à la position d'adresse de mémoire dans la mémoire de processeur 102 35 qui contient le premier multiplet du message de données suivant à émettre. On suppose dans ce système que tous les messages de données ont une longueur fixe, ce qui fait que le

compteur de mots 105 est alors restauré par le contrôleur d'état de sortie 103, qui place un signal de validation sur le conducteur CHARGM. Dans ce mode de réalisation, le compteur de mots 105 est un compteur câblé en sens descendant ayant une plage de comptage fixe qui est égale à la longueur du message de données standard. Ainsi, lorsque le contrôleur d'état de sortie 103 place un signal de comptage sur le conducteur CD qui est dirigé vers le compteur de mots 105, ceci commande le compteur de mots 105 de façon qu'il décrémente le compte d'une unité et ce processus se poursuit jusqu'à ce qu'un compte de zéro soit obtenu, ce qui indique qu'un message de données complet a été émis. Chaque fois que le compte contenu dans le compteur de mots 105 est décrémenté, le contrôleur d'état de sortie 103 place un signal d'incrémentation d'adresse sur le conducteur AVANCE qui est dirigé vers le registre de pointeur de lecture 110. De cette manière, l'adresse enregistrée dans le registre de pointeur de lecture 110 et transmise sur le bus d'adresse du processeur par la mémoire tampon d'adresse d'ADM, 104, est incrémentée d'une position de mémoire à la fois, jusqu'à ce qu'un message de données complet ait été émis, ce qui est indiqué par le fait que le compteur de mots 105 émet un signal d'indication de zéro vers le contrôleur d'état de sortie 103, par le conducteur ZERO.

25 Au fur et à mesure que chaque adresse de matériel est placée sur le bus d'adresse du processeur, le contenu de cette position de mémoire dans la mémoire du processeur 102 est lu au moyen de cette mémoire et est placé sur le bus de données du processeur. Ces données sont chargées dans l'interface de liaison de données 119 lorsque le contrôleur d'état de sortie 103 place un signal de validation sur le conducteur CHARGMT. Ces données sont émises d'une manière classique par l'interface de liaison de données 119 vers le canal de transmission 120, ici encore sous la commande du contrôleur d'état de sortie 103, par l'intermédiaire du conducteur EMISSION. Lorsque le message de données complet est émis, le contrôleur d'état 103 se restaure et il lit à nouveau les divers pointeurs dans la file d'attente de lecture/

écriture de sortie, pour déterminer si un autre message est enregistré dans la file d'attente de lecture/écriture de sortie, pour être émis par le canal de transmission 120.

La structure et le fonctionnement de l'interface 5 de liaison de données 119 sont bien connus. En particulier, on trouve dans la revue Electronic Design Magazine du 7 juin 1979 un article intitulé "Data Communications : Part Three", par Alan J. Weissberger (pages 98-104), dans lequel est décrit un circuit d'interface de canal de type caractéristique. Le 10 circuit émetteur/récepteur décrit dans ce document est un circuit bien connu qui est du type à utiliser pour réaliser l'interface de liaison de données 119. Ce circuit fonctionne d'une manière bien connue de façon à recevoir les signaux de données numériques série qui apparaissent sur le canal de transmission 15 101, à remettre en forme ces signaux pour les utiliser dans le circuit d'interface de canal 100, et à extraire un signal d'horloge de ces signaux de données numériques. De façon similaire, les signaux destinés à être émis sur le canal de transmission 120 sont placés sous un format approprié et la 20 synchronisation est assurée par l'interface de liaison de données 119.

File d'attente bouclée

Dans ce système, lorsque le pointeur de lecture atteint la fin de la file d'attente, il doit être réinitialisé 25 au début de la file, du fait qu'il s'agit d'une file d'attente bouclée dans laquelle les messages sont traités dans l'ordre premier entré, premier sorti. Cette réinitialisation est accomplie par le circuit de comparaison 1C9 qui contrôle le contenu du registre de pointeur de limite 108 et du registre 30 de pointeur de lecture 110. Lorsque les contenus de ces deux registres sont identiques, le circuit de comparaison 109 émet un signal sur le conducteur LECTURE = LIMITE vers le contrôleur d'état de sortie 103. Ce signal agit sur le contrôleur d'état de sortie 103 de façon qu'il commande le sélecteur 112, 35 par l'intermédiaire du conducteur SELECTION, pour qu'il aiguille le contenu du registre de pointeur de base 111 vers le registre de pointeur de lecture 110, qui a été validé par le conducteur CHARGMP, ce qui amène à nouveau le pointeur de lec-

ture au début de la file d'attente.

Circuit de messages de données entrants, figure 2

La partie d'entrée du circuit d'interface de canal de transmission 100 est représentée sur la figure 2 et fonctionne de façon à recevoir les messages de données provenant du canal de transmission 120, à interpréter la partie d'en-tête du message de données et à enregistrer dans la mémoire de processeur 102 les messages de données qui sont destinés au processeur 101. Cette partie du circuit d'interface de canal 100 est commandée par le contrôleur d'état d'entrée 201 qui, comme le contrôleur d'état de sortie 103, peut être un microprocesseur. En fait, les contrôleurs d'état d'entrée 201 et de sortie 103 peuvent être constitués par le même circuit équipé de deux programmes résidents, l'un pour la commande des messages de données entrants et l'autre pour la commande des messages de données sortants.

Comme il a été envisagé ci-dessus, le format de message de données comprend un en-tête contenant l'adresse du processeur de destination et une information de canal virtuel, ainsi que les données elles-mêmes. Une intercommunication caractéristique de processeur à processeur est établie de la manière envisagée précédemment et on suppose pour la description de la figure 2 que les numéros de canal virtuel pour un certain nombre d'intercommunications de processeur à processeur ont déjà été déterminés et que des messages de données ont été émis sur le canal de transmission 120 vers le processeur 101. Lorsqu'une communication de processeur à processeur est initialisée, le processeur 101 écrit l'information appropriée concernant cette communication dans une mémoire de commande de canal 212. En particulier, une file d'attente de lecture/écriture telle que celle représentée sur la figure 3 est établie pour chaque communication de processeur à processeur qui doit avoir lieu. Ainsi, pour une configuration de communication à 32 canaux, la mémoire de commande de canal 212 pourrait être constituée par une mémoire vive de 32 par n, en désignant par n le nombre de bits nécessaire pour identifier toutes les caractéristiques de cette intercommunication.

Comme on l'a envisagé précédemment, une file d'at-

tente de lecture/écriture de type caractéristique contient un pointeur de lecture, un pointeur d'écriture, un pointeur de base et un pointeur de limite. De plus, chaque intercommunication est accompagnée d'une information supplémentaire nécessaire, comme une information de vecteur d'interruption, comprenant l'adresse d'un sous-programme de service dans le processeur 101 qui doit être appelé lorsqu'un message de données d'une série de n messages de données a été reçu par le circuit d'interface de canal 100 et enregistré dans la mémoire de processeur 102. Une information supplémentaire concernant les caractéristiques du canal est présentée sous l'appellation "état", qui est un terme général pour désigner n'importe quelle information de maintenance ou d'identification que le processeur 101 désire associer à l'intercommunication particulière de processeur à processeur qui utilise ce canal virtuel particulier. Une information d'état caractéristique peut être un compte du nombre d'erreurs dans la transmission, une identification du type de communication (transfert par bloc, message simple, etc), et l'état du canal, c'est-à-dire ouvert ou fermé pour la transmission. Ainsi, dans un système à 32 canaux, le processeur 101 établirait 32 files d'attente de lecture/écriture dans la mémoire de processeur 102 et il écrirait l'information décrite ci-dessus, concernant chacune de ces files d'attente de lecture/écriture, dans chaque mémoire de commande de canal 212, par l'intermédiaire d'un multiplexeur d'accès en mémoire 213. Le processeur 101 accède à l'information enregistrée dans la mémoire de commande de canal 212 par l'intermédiaire de la mémoire tampon de données 211, et cet accès est évidemment réglé par le contrôleur d'état d'entrée 201.

Pour poursuivre la description de la partie d'entrée du circuit d'interface de canal 100, il est avantageux de décrire la réception d'un message de données caractéristique provenant du canal de transmission 120. Lorsqu'un message de données apparaît sur le canal de transmission 120, l'interface de liaison de données 119 reçoit les bits qui sont transmis et elle décode la partie d'en-tête du message de données, dans la mesure où elle détermine que le processeur de destination

désigné dans l'en-tête est le processeur 101. Si le message de données est destiné au processeur 101, l'interface de liaison de données 119 indique cette situation au contrôleur d'état d'entrée 201 par l'intermédiaire du conducteur PA, et 5 le contrôleur d'état d'entrée 201 enregistre dans le registre de canal virtuel 204, par l'intermédiaire d'un signal de validation sur le conducteur CHARGMR, le numéro de canal virtuel contenu dans l'en-tête. Le contrôleur d'état d'entrée 201 active la mémoire de commande de canal 212 par l'intermédiaire 10 du bus VALIDATION et l'adresse enregistrée dans le registre de canal virtuel 204 est appliquée par les conducteurs ADRESSE et le multiplexeur d'accès en mémoire 213B aux conducteurs d'adresse de la mémoire de canal de transmission 212. Sous 15 l'effet de l'application du numéro de canal virtuel à ces conducteurs d'adresse, toute l'information pertinente concernant ce canal virtuel est enregistrée dans la mémoire de commande de canal 212 pour être émise sur le BUS DE MEMOIRE représenté sur la figure 2, qui interconnecte la mémoire tampon de données 211, les multiplexeurs 209 et 210 et la mémoire de 20 commande de canal 212.

Le contrôleur d'état d'entrée 201 accomplit séquentiellement une série d'opérations dans le processus consistant à prélever le message de données dans l'interface de liaison de données 119 et à enregistrer ce message dans la mémoire de processeur 102. L'une des premières étapes de cette opération consiste à comparer les pointeurs de lecture et d'écriture, comme indiqué ci-dessous, pour déterminer si la file d'attente de lecture/écriture associée est pleine. Le contrôleur d'état d'entrée 201 accomplit ceci en aiguillant 25 l'information de pointeur de lecture et l'information de pointeur d'écriture provenant de la mémoire de commande de canal 212 vers l'unité arithmétique et logique 208, par l'intermédiaire respectivement du multiplexeur A 210 et du multiplexeur B 209. L'unité arithmétique et logique 208 effectue une opération de comparaison classique pour déterminer si les pointeurs de lecture et d'écriture sont égaux. S'ils ne sont pas égaux, il y a de la place pour l'enregistrement de messages de données supplémentaires dans la file d'attente, et cette 30 35

situation est indiquée par le signal logique approprié sur le conducteur COMPARAISON. Le contrôleur d'état d'entrée 201 réagit au signal sur le conducteur COMPARAISON en plaçant un signal de demande d'accès direct en mémoire sur le conducteur 5 DEMANDE ADM du bus de commande du processeur, pour demander l'accès aux bus du processeur. Le processeur 101 indique l'acceptation de la demande par un signal logique sur le conducteur AUTORISATION ADM, ce qui fait que le contrôleur d'état d'entrée 201 active la mémoire tampon d'adresse 206, par l'intermédiaire du bus VALIDATION, ce qui aiguille vers le bus 10 d'adresse du processeur l'information de pointeur de lecture qui est émise par la mémoire de commande de canal 212, par l'intermédiaire de l'unité arithmétique et logique 208 et de la mémoire tampon d'adresse 206. Pendant ce temps, les données 15 qui sont reçues par l'interface de liaison de données 119 sont enregistrées dans la mémoire tampon de données 205 et elles sont émises multiplet par multiplet vers le bus de données du processeur, pendant que le contrôleur d'état d'entrée 201 commande le circuit de comptage de mots 207 de façon à incrémenter 20 l'adresse de matériel qui est enregistrée dans la mémoire tampon d'adresse 206. Ainsi, les données sont enregistrées dans la file d'attente de lecture/écriture associée au canal virtuel, et le pointeur d'écriture est incrémenté jusqu'à ce que le message de données complet soit enregistré dans la file 25 d'attente, ce qui est indiqué par le fait que le circuit de comptage de mots 207 renvoie une indication de zéro vers le contrôleur d'état d'entrée 201, par l'intermédiaire du conducteur ZERO2. À ce point, le contrôleur d'état d'entrée 201 retourne à sa condition initiale et attend la réception d'un autre message de données sur le canal de transmission 120. Du fait que le contrôleur d'état d'entrée 201 est un microprocesseur, il peut également mettre en œuvre divers programmes de maintenance et/ou des interruptions programmées, pour utiliser 30 les données enregistrées dans la partie d'état de la mémoire de commande de canal 212, comme décrit ci-dessus. De cette manière, le circuit d'interface de canal 100 assure la commande complète de la réception et de l'émission de messages de données par le canal de transmission 120.

2508200

15

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Circuit d'interface destiné à assurer l'interface entre, d'une part, un processeur et sa mémoire associée, et d'autre part un canal de transmission qui achemine des messages de données, chacun d'eux contenant une zone d'en-tête ayant une adresse de destination et un numéro de canal virtuel, tandis que le processeur comporte des bus de données d'adresse et de commande ; caractérisé en ce qu'il comprend : un élément de circuit d'interface (119, 204, 205) connecté au canal de transmission (120) et réagissant à un message de données qui apparaît sur ce canal en décodant l'adresse de destination et en émettant le numéro de canal virtuel si le processeur (101) est la destination désignée du message de données ; un multiplexeur/mémoire de commande de données (212, 213) connecté à l'élément de circuit d'interface (119, 204, 205) et réagissant au fait que l'élément de circuit d'interface (119, 204, 205) émet le numéro de canal virtuel, en traduisant le numéro de canal virtuel en une adresse de matériel identifiant une position de mémoire dans la mémoire de processeur (102) ; un circuit tampon (206) connecté à la fois au multiplexeur/mémoire de commande de canal (212, 213) et au bus d'adresse du processeur, et réagissant à l'adresse de matériel en placant cette dernière sur le bus d'adresse du processeur pour activer la position de mémoire identifiée dans la mémoire de processeur ; et en ce que l'élément de circuit d'interface (119, 204, 205) est également connecté au bus de données du processeur et réagit à la réception du message de données en enregistrant directement la partie de données du message de données, telle qu'elle est reçue, dans la position de mémoire activée, par l'intermédiaire du bus de données du processeur.

2. Circuit d'interface selon la revendication 1, caractérisé en ce que le multiplexeur/mémoire de commande de canal (212, 213) réagit en outre au numéro de canal virtuel en émettant des données de file d'attente de mémoire qu'il contient ; et le circuit d'interface de canal (100) comprend en outre un circuit de comparaison (208-210) qui interconnecte le multiplexeur/mémoire de commande de canal (212, 213) et le circuit tampon (206) et qui réagit aux données de la file

d'attente de mémoire en appliquant l'adresse de matériel au circuit tampon (206) si les données de file d'attente de mémoire indiquent l'existence dans la mémoire de processeur (102) d'un espace disponible suffisant pour enregistrer le 5 message de données.

3. Circuit d'interface selon l'une quelconque des revendications 1 ou 2, caractérisé en ce que le circuit d'interface de canal (100) comprend un circuit de commande d'entrée (201, 207) qui est connecté au circuit tampon (206) et 10 à l'élément de circuit d'interface (119, 204, 205) et qui réagit à la réception du message de données en incrémentant l'adresse de matériel qui est enregistrée dans le circuit tampon (206), en synchronisme avec la réception du message de données.

15 4. Circuit d'interface selon la revendication 3, caractérisé en ce que le circuit de commande d'entrée (201, 207) comprend un registre de comptage de mots d'entrée (207) qui réagit à la réception du message de données en générant une indication de fin de mots lorsque l'élément de circuit 20 d'interface (119, 204, 205) a reçu tout le message de données.

5. Circuit d'interface selon la revendication 4, caractérisé en ce que le multiplexeur/mémoire de commande de canal (212, 213) est également connecté aux bus de données, d'adresse et de commande du processeur ; et le circuit de 25 commande d'entrée (201, 207) réagit à l'indication de fin de mots en mettant à jour l'information qui est enregistrée dans le multiplexeur/mémoire de commande de canal (212, 213) par l'intermédiaire des bus de données, d'adresse et de commande du processeur.

30 6. Circuit d'interface selon la revendication 1, caractérisé en ce que l'élément de circuit d'interface (119, 204, 205) comprend une mémoire tampon de données (205) qui est connectée au circuit de commande d'entrée (201, 207) et qui réagit à ce dernier en enregistrant le message de données 35 tel qu'il est reçu, et en émettant le message de données, tel qu'il est reçu, multiplet par multiplet, sur le bus de données du processeur.

FIG. 1 100

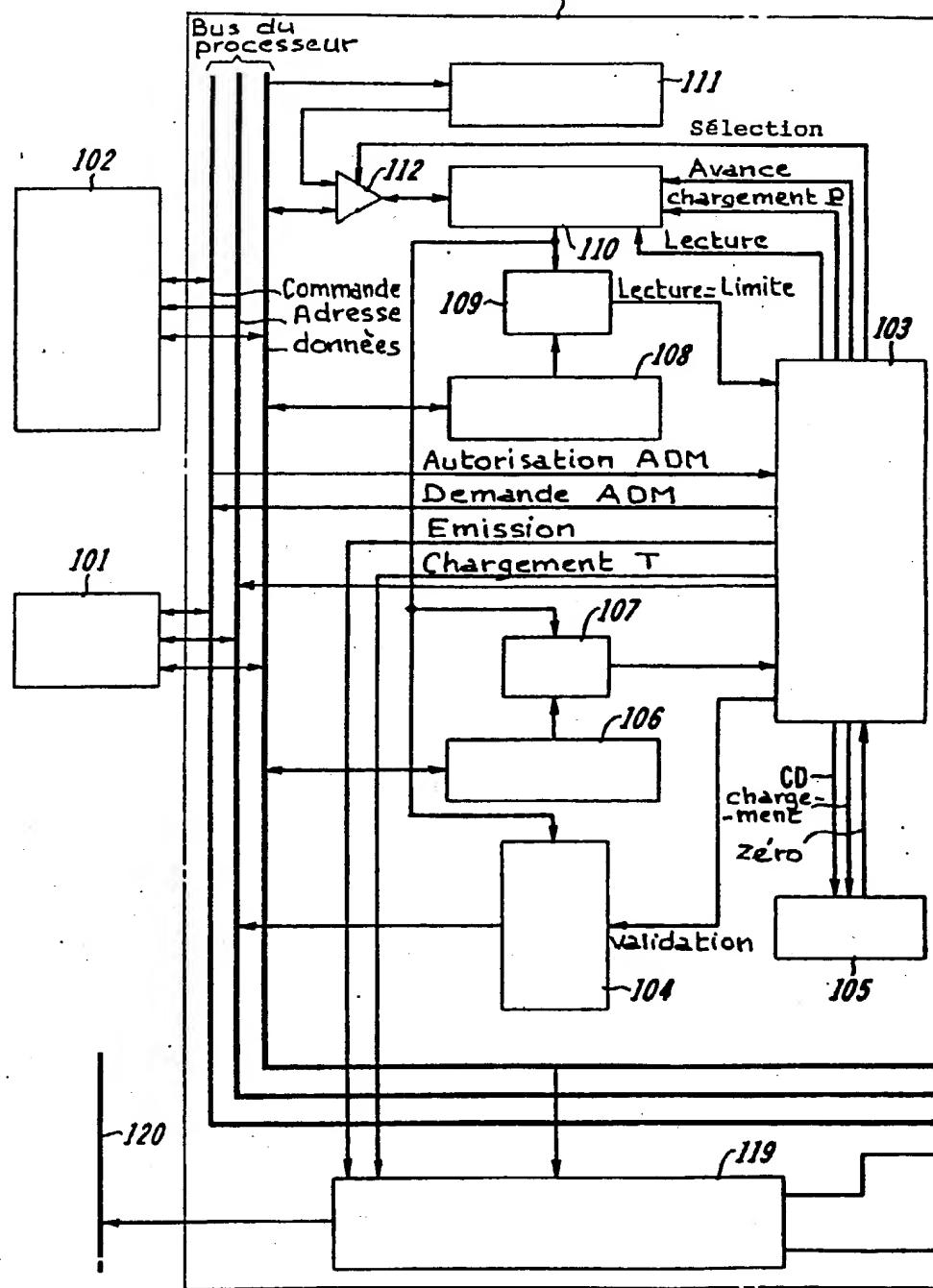
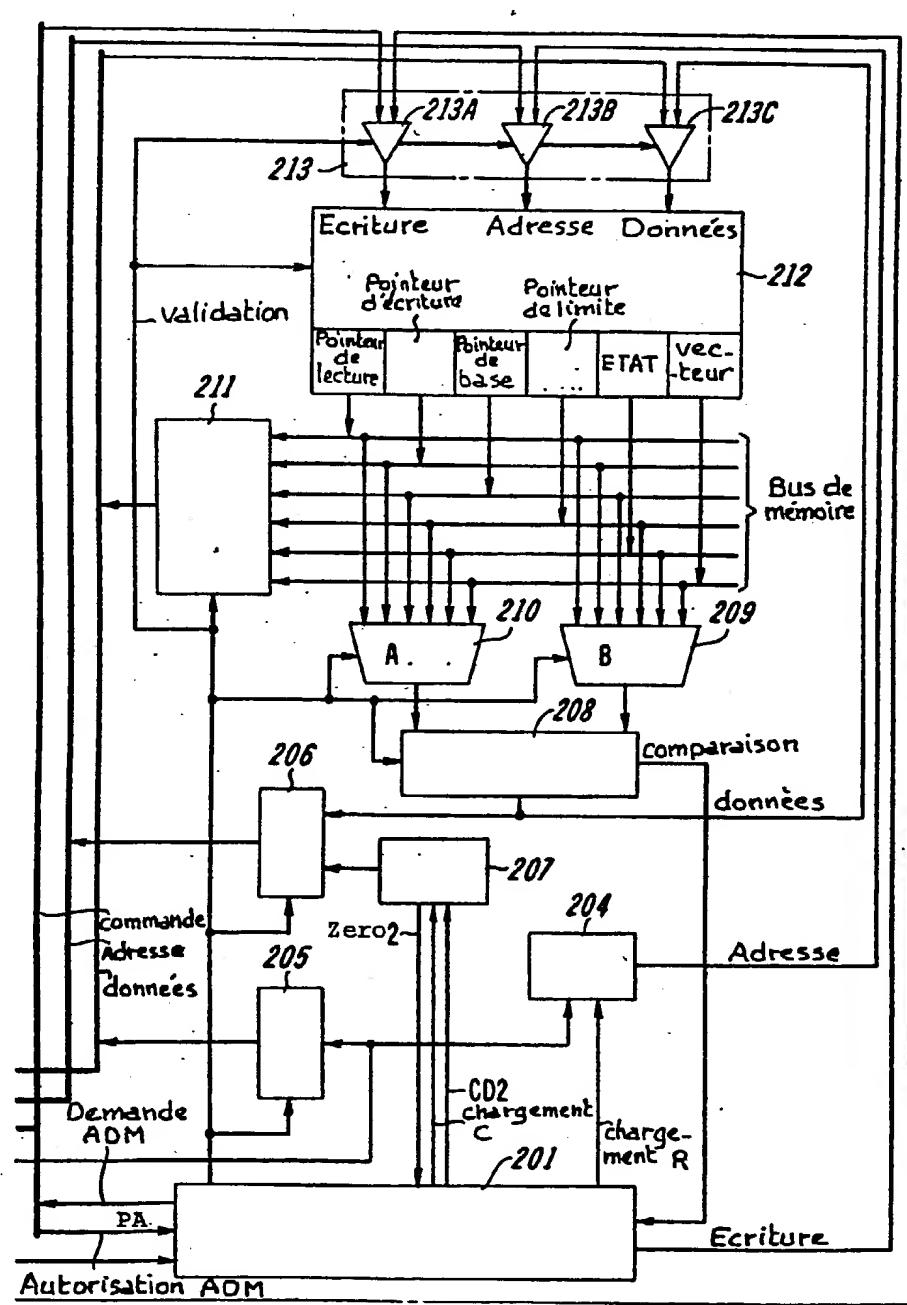


FIG. 2

100



PL. III-4

2508200

FIG. 3

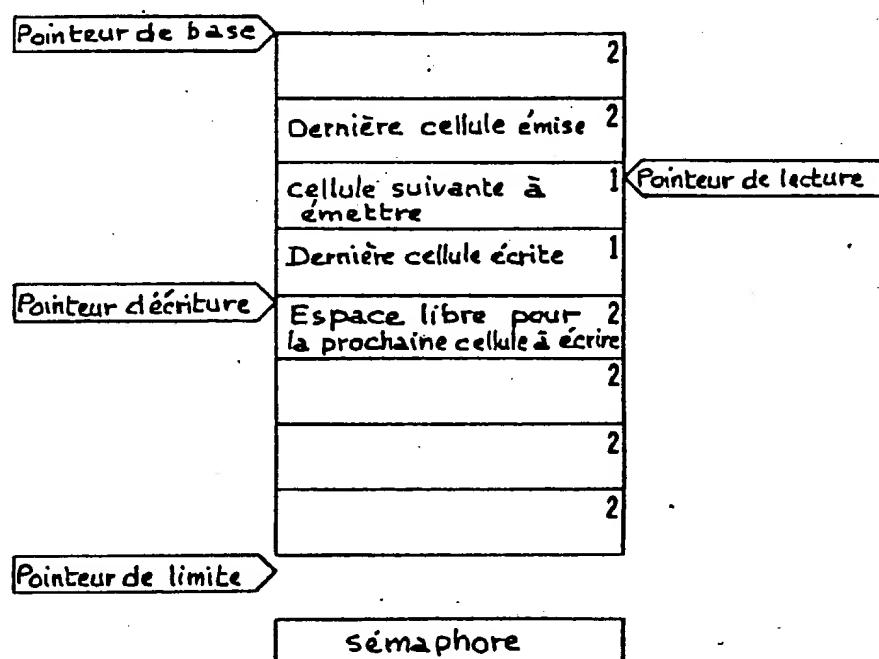
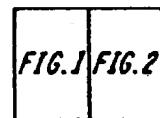
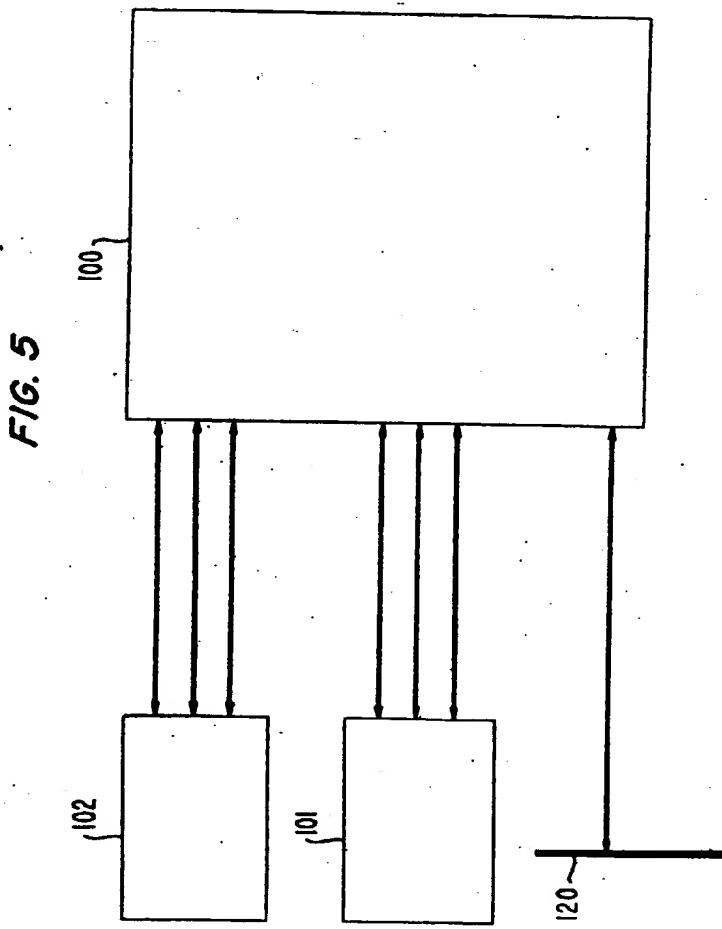


FIG. 4



PL. IV-4

2508200



English Abstract For French Patent 2 508 200

003384528

WPI Acc No: 1982-P2564E/198244

Channel interface circuit with waiting file - comprising start, finish,

write and read pointers and conflict prevention indicator

Patent Assignee: AT & T TECHNOLOGIES INC (AMTT); WESTERN ELECTRIC CO INC

(AMTT)

Inventor: LARSON A L

Number of Countries: 010 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
BE 893586	A	19821018				198244	B
DE 3222389	A	19821230	DE 3222389	A	19820615	198302	
GB 2101374	A	19830112	GB 8217776	A	19820618	198302	
FR 2508200	A	19821224				198306	
NL 8202506	A	19830117				198306	
SE 8203621	A	19830124				198306	
US 4419728	A	19831206				198351	
CA 1171931	A	19840731				198435	
GB 2101374	B	19850411				198515	
CH 656728	A	19860715				198634	
IT 1152978	B	19870114				198851	
DE 3222389	C	19890720				198929	

Priority Applications (No Type Date): US 81276060 A 19810622

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
BE 893586	A	25		

Abstract (Basic): BE 893586 A

The interface circuit monitors the transmission channel
recognising

any data message with its destination address and virtual channel
number heading intended for the particular processor memory. Such a
message is memorised directly without intervention of the
processor.

Similarly messages are stored in the memory and the interface
circuit

has direct access to them for transmission.

The basic waiting file is an assembly of data comprising the
four

pointers which change whenever a circuit has access to a particular
file, and an indicator showing whether the file is idle or being
accessed by another circuit. A multiplexer and data control memory
translate the virtual channel number into an address in the memory
which a buffer circuit places on the processor address bus.

Title Terms: CHANNEL; INTERFACE; CIRCUIT; WAIT; FILE; COMPRISE; START;
FINISH; WRITING; READ; POINT; CONFLICT; PREVENT; INDICATE

Derwent Class: T01

International Patent Class (Additional): G06F-003/04; G06F-012/02;
G06F-013/00; H03H-000/00; H04L-005/14

File Segment: EPI

Manual Codes (EPI/S-X): T01-C03; T01-H02